

Family list

3 family member for:

JP58092218

Derived from 1 application.

1 MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication info: **JP1808673C C** - 1993-12-10

JP5012850B B - 1993-02-19

JP58092218 A - 1983-06-01

Data supplied from the **esp@cenet** database - Worldwide

MANUFACTURE OF SEMICONDUCTOR DEVICE

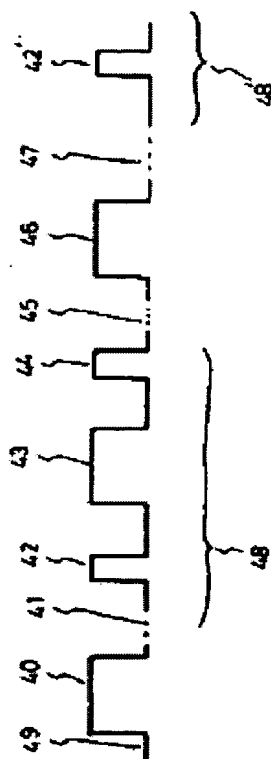
Patent number: JP58092218
Publication date: 1983-06-01
Inventor: YAMAZAKI SHIYUNPEI
Applicant: HANDOTAI ENERGY KENKYUSHO
Classification:
- **international:** *H01L21/205; H01L21/02; (IPC1-7):*
H01L31/04
- **europaen:** H01L21/205
Application number: JP19810191268 19811128
Priority number(s): JP19810191268 19811128

Report a data error here

Abstract of JP58092218

PURPOSE:To form a practically intrinsic coating film on a semiconductor layer made at the previous process in order to prevent an N or P type impurity in a semiconductor device made at the previous process from discharging again from the inner wall of a reaction device or the holder of a substrate and from mixing in a P or N type semiconductor made at the next process when the first semiconductor devices having P type and N type semiconductor layers are continuously made by a plasma vapor method by using the same reaction tank.

CONSTITUTION:Evacuation is applied to a reaction furnace in process 49. Silicon or silicon carbide is coated to a reaction cylinder and a holder in process 40. Next, evacuation 41 to a system, furthermore, the manufacture 42 of a P or an N type semiconductor device, the manufacture 43 of an I type semiconductor layer, the manufacture 44 of an N type semiconductor layer are done to make 48 the first semiconductor device. Furthermore, after that, the possibility of alternately mixing a P or an N type impurity between the final process 44 for the manufacture 48 of the first



semiconductor device and the first process 42 at the next process 48 can be removed by coating an I type semiconductor layer shown as 46 to above system and a reaction system inserted and installed the reaction furnace and the holder.

Data supplied from the **esp@cenet** database - Worldwide

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—92218

⑤ Int. Cl.³

H 01 L 21/205
31/04

識別記号

庁内整理番号

7739—5F
7021—5F

⑬ 公開 昭和58年(1983)6月1日

発明の数 1
審査請求 未請求

(全 9 頁)

⑭ 半導体装置作製方法

番21号株式会社半導体エネルギー研究所内

⑮ 特 願 昭56—191268

⑯ 出 願 人 株式会社半導体エネルギー研究所

⑰ 出 願 昭56(1981)11月28日

⑱ 発 明 者 山崎舜平

東京都世田谷区北烏山7丁目21番21号

東京都世田谷区北烏山7丁目21

明 細 書

1. 発明の名称

半導体装置作製方法

2. 特許請求の範囲

1. プラズマ気相法により反応炉内に設けられた基板上に少くともひとつの接合を有する半導体装置を形成するに際し、前記反応炉の内壁または半導体層が形成される領域にあらかじめ真性または実質的に真性の半導体層を形成することを特徴とする半導体装置作製方法。
2. 特許請求の範囲第1項において、真性または実質的に真性の半導体層は接合を有する半導体装置の作製に用いられる電磁エネルギー P_0 に対し、 $P_0 - 10W \sim P_0 + 30W$ の範囲の電磁エネルギーを加えて形成せしめることを特徴とする半導体装置作製方法。
3. 特許請求の範囲第1項において、真性または実質的に真性の半導体層は接合を有す

る半導体装置を作製することを特徴とする半導体装置作製方法。

3. 発明の詳細な説明

本発明はプラズマ気相法により、再現性、特性のよい半導体装置を作製する方法に関する。

本発明はプラズマ気相法により反応炉内に設けられた基板上にP型およびN型の半導体層を有する第1の半導体装置を形成した後、この半導体装置のNまたはP型不純物が次に作られるPまたはN型の半導体層中に反応装置の内壁または基板ホルダーより再放出され、これが $10^{-2} \sim 10^{-1}$ の濃度で混入されてしまうことを防止するため、この各工程の間に前回作られた半導体層上に真性または実質的に真性（以下I層という）のコーティング用の被膜を形成する工程（この場合は次の工程の最初に作られる被膜層によりコーティングしてもよい）により実質的に過去の履歴を除去してしまふことを目的としている。

さらにまたは前回作られた半導体層のうち、反応装置の内壁、基板ホルダー等の表面に付着したものを CF_4 等の反応性気体をプラズマ化することにより除去してしまう工程を設けることを目的とする。

かくすることにより再現性よくRUN-TO-RUNの特性を \uparrow するとともに、その得られた特性もきわめてすぐれたものとするができるという特徴を有する。

また本発明は反応炉内に設けられた基板上に少くともひとつの接合特にPIN、PI、NIまたはPN接合を有する半導体装置において、反応炉の内壁特にプラズマ原子または反応性気体が衝突する内壁より不純物特に酸素、アルカリ金属原子が放出されることを防ぐため、これらの表面にあらかじめ真性または実質的に真性の半導体層例えば非単結晶珪素を形成することを目的としている。

本発明はこれらの実質的に除去するためのコーティングにより再放出を防ぐため、半導体層

またアルカリ金属にあつても、5PPMの混入において、P型、I型の伝導度の低下また透明導電膜の伝導度の低下をもたらしてしまつた。

これらの混入を防ぐため、反応炉の内壁また基板ホルダー（ポートともいう）の特にプラズマによる反応性気体にスパッタされる部分に対して、あらかじめ半導体層を $0.2 \sim 2 \mu$ の厚さに形成させ、コーティングしてしまふことがきわめて重要であつた。さらに再現性特性劣化に対しては、ひとつの半導体装置の作製に対し、その最後の工程がNまたはP型半導体層を作りまた次の最初の工程にPまたはN型の半導体層を作ろうとした時、 $10^{-10} \sim 10^{-11} \text{ cm}^3$ の濃度に最初の不純物例えばリンがP型半導体層中に混入してしまふ。このためP型半導体層は例えば $10^{-10} \sim 10^{-11} \text{ cm}^3$ の濃度にホウ素を添加してP型層としてもその電気伝導度はリンの混入により再結合中心が増加するためきわめて特性が悪く、混入がない場合 $10^{-10} \sim 10^{-11} (\text{ncm}^3)$ に対し、 $10^{-10} \sim 10^{-11} (\text{acm}^3)$ と

を半導体装置の作製に必要な電磁エネルギーの出力 P_0 例えば $5 \sim 100 \text{ W}$ 、温度 T_0 例えば $800 \sim 880^\circ \text{C}$ に対し、 $P_0 - 10 \text{ W}$ （但し最低 5 W とする） $\sim P_0 + 30 \text{ W}$ の範囲、また $T_0 - 50^\circ \text{C} \sim T_0 + 50^\circ \text{C}$ 特に好ましくは P_0, T_0 と同じまたは概略同じ条件にて作製し、 $0.2 \sim 1 \mu$ の厚さに形成せしめることを特徴としている。

従来プラズマCVD法に関しては、ひとつの反応炉にてPIN接合等を有する半導体装置の作製が行なわれていた。しかしこの接合をくりかえし行なうと、全くわけのわからない劣化、バラツキに悩まされてしまひ、半導体装置としての信頼性に不適当なものしかできなかつた。

この原因を調べた結果、この最大の原因は、反応炉内に付着している酸素、アルカリ金属が半導体層中に混入して、電気伝導度の低下をもたらすものであり、酸素にあつては1PPMの混入であつても、暗伝導度 $10^7 (\text{ncm}^3)$ を $10^9 (\text{ncm}^3)$ と $1/100$ にまで下げてしまつていた。

$1/100 \sim 1/1000$ しか得られなかつた。

このためPIN型光電変換装置においては $2 \sim 4\%$ の効率を各ランごとのバラツキを $\pm 200\%$ も有して得られたにすぎず好ましくなかつた。

しかし本発明方法にあつては、 $8 \sim 10\%$ の約 $3 \sim 5$ 倍の高い変換効率を得ることができるようになつた。

またこの不純物酸素ドーピングの効果を少なくするため、本発明人の出願になる特許願 半導体装置作製方法 56-55608（原表示53-152887 昭和53年12月10日出願）が知られている。これは例えばPIN半導体装置を作ろうとする時、各P層、I層、N層をそれぞれ独立の反応炉を作り、基板をその層間を移動せしめることにより行わんとするものである。この方法にあつては、本発明と同じ対策を持つことができ、きわめて好ましい電気的特性を得ることができる。しかしその場合、装置はひとつの室の方式の3倍であり、製造コストが $2.5 \sim 3$ 倍も高

価になつてしまふ。さらに多量生産向きでない等の欠点を有していた。

本発明はかかる反応炉において、特に横型の反応炉において特に有効である。また多量に基板上に半導体装置を作ろうとする時特に有効であり、半導体装置ひとつあたりの装置の減価償却を含めて、製造コストをたて型反応炉の1/100にできるという大きな特徴を有している。

すなわち本発明はかかる多量生産用に横型に配置された反応炉または反応筒(10~30cm、長さ1~5m)を用いる方法を中心として記す。

かかる反応筒の外側に一對の反応性気体をプラズマ化する電磁エネルギー供給用の電極と該電極の外側にこの反応筒および電極を囲んで加熱装置とを具備し、この反応炉内を炉方向に反応性気体を流し、この気体の流れにそつて基板を配置せしめたものである。

さらにかかる装置内に一對の電極により発生する電磁界に垂直または平行に基板を配置し、これを複数段または複数列配置して2~20cm²の

をPINの順序にて積層形成せしめ、これをつくりかえし、安定して作製することを目的としている。さらに本発明はプラズマ化する電磁エネルギーのパワーにより、アモルファス構造の半導体(ABという)、5~100Åの大きさの微結晶性を有するセミアモルファス(半非晶質、以下SASという)または5~200Åの大きさのマイクロポリクリスタル(微多結晶、以下PCという)の構造を有する半導体の如き非単結晶半導体膜を作製せんとするものである。さらに強い電磁エネルギーを与える場合、基板表面ではスパッターされた電気的に欠陥だらけのアモルファス構造になりやすい。かかる欠陥構造をなくするため、基板は互いに10~40mm代表的には20~25mm離間し、プラズマ反応に200~500Wという高いエネルギーが必要な場合であつても、被形成面上にはこのスピーシスの実質的なプラズマエネルギーを得る距離を基板間の距離で制御し、実質的に2~20Wという弱いパワーで被膜化せ

被膜例えば10cm²の基板を20段20列計400さいの被形成面上に一度に被膜特に珪素、炭素炭化珪素または珪化ゲルマニウム、ゲルマニウム被膜すなわち4価の元素を中心とした半導体膜を形成せしめることを中心として記す。

本発明は炭素-珪素結合を有する水素化合物またはハロゲン化物(炭化珪化物気体)よりなる反応性気体、シラン(SiH_n , $n \geq 1$)の如き珪化物気体またはアセチレン等の炭化水素を用いて被形成面上に非単結晶の炭化珪素、珪素または炭素を主成分とする被膜を0.05~1torrの反応炉圧力で100~400°Cの温度で形成せしめるプラズマ気相法に関する。

本発明はさらにかかる反応性気体にⅢ価の不純物であるB, Al, Ga, Inを含む不純物気体例えばジボラン(B_2H_6)、Ⅴ価の不純物を含む不純物気体例えばフォスヒン(PH_3)またはアルシン(AsH_3)を漸次添加して被形成面を有する基板上に密着してP型層、さらにI型層およびN型層

しめると同等の特性を有せしめたことを特徴とする。

このため本発明においては、その出発物質である反応性気体に炭化珪素($\text{Si}_x\text{C}_{1-x}$, $0 < x < 1$)を作ろうとした場合、炭素-珪素結合を有する材料を用いた。すなわち炭素-珪素結合を有する水素化合物またはハロゲン化合物例えばテトラジチルシラン($\text{Si}(\text{CH}_3)_4$) (単にTMSという)、テトラエチルシラン($\text{Si}(\text{C}_2\text{H}_5)_4$)、 $\text{Si}(\text{CH}_3)_x\text{C}_{1-x}$, ($1 \leq x \leq 3$)、 $\text{Si}(\text{C}_2\text{H}_5)_x\text{C}_{1-x}$, ($1 \leq x \leq 3$)等の反応性気体を用いて反応生成物中にSi-C結合を得やすくしている。

また珪素を主成分とする被膜を得ようとする時は SiH_n , ($n \geq 1$)のシラン、 SiF_4 またはこれらの混合気体を用いた。炭素を得ようとする時は、アセチレン(C_2H_2)またはエチレン(C_2H_4)を主として用いた。こうすることにより、珪素(Si)、炭素珪素($\text{Si}_x\text{C}_{1-x}$, $0 < x < 1$)または炭素(C) (これらを合わせると $\text{Si}_x\text{C}_{1-x}$, ($0 \leq x \leq 1$))と示すことができるため、以下炭化珪素という時は $\text{Si}_x\text{C}_{1-x}$ ($0 \leq x \leq 1$)

を意味するものとする)を作製する。

さらにここにⅢ価またはⅤ価の不純物を添加して被形成面よりP型、I型(真性またはオートドーピング等を含む人為的に不純物を添加しない実質的に真性)さらにN型の半導体または半絶縁体を作製した。

さらにかかる反応性気体を用いると、反応炉を1気圧以下特に0.01~10torr、代表的には0.3~0.6torrの圧力下にて50W以下の電磁エネルギーにおいても、例えば0.01~100MHz特に500KHzまたは13.56MHzにおいて被膜を形成することが可能である。即ち低エネルギープラズマOVD装置とすることができた。

さらに50~500Wという高エネルギープラズマ雰囲気とすると、形成された炭化珪素は微結晶化し、その結果P型またはN型において、ホウ素またはリンを0.1~5% (ここでは(BH)または(PH)/(炭化物気体または炭化珪化物気体+珪化物気体)の比をパーセントで示す)添加した場合、低エネルギーでは電気伝導度は 10^{-10} ~ 10^{-12} (Ωcm)

とびら(34)を開けて、反応炉内に自動送り装置により導入され、さらにミキサー用混合板(35)も同時配置される。これらは反応炉、別室ともに真空状態においてなされ、反応炉内に酸素(空気)が少しでも混入しないように務めた。さらに開閉とびら(34)を閉じたことにより、図面の如く電極(9),(10)の間に基板が配置された。

各基板は10~40mm代表的には20~25mmの間かくをにおいて配列されており、このホルダーによる反応性気体は反応炉(4)の前方にミキサー(8)を設け層流とし、さらにこれらの反応性気体が基板の間の空隙に均一に注入するように設けられている。被形成面は基板の下面または互いに裏面を重ね合わせて垂直に配置された側面である。

また図面は反応系を上方よりながめた構造を示したものであり、基板(1)は互いに裏面を合わせて垂直に配置させている。かくの如く重力を利用してフレイクを下部に除去することは、量産歩留りを考慮する時きわめて重要である。さらにこの基板(1)を折入させた反応炉(4)には、こ

であつたものが 10^{-10} ~ 10^{-12} (Ωcm)と約千倍にまで高めることができた。

さらにこの高エネルギー法を用いて得られた炭化珪素は5~200Åの大きさの微結晶構造を有するいわゆるBAB構造を有せしめることができた。かかるBABにおいて、そのPまたはN型の不純物のアクセプタまたはドナーとなるイオン化率を97~100%を有し、添加した不純物のすべてを活性化することができた。

以下に図面に従つて本発明のプラズマ気相法を説明する。

第1図は本発明を用いたプラズマOVD装置の概要を示す。

第1図において被形成面を有する基板(1)は角型の石英ホルダーにて保持され、図面では7段2列計14まいの構成をさせている。基板およびホルダーは反応炉の前方の別室(4)に入口(30)より予め設置され、バルブ(32)ロータリーポンプ(33)により真空引きがなされる。さらに開閉

の基板に垂直または平行(特に平行にすると被膜の均一性が得やすい)に電磁エネルギーの電界が第2図(A)または(B)特に(B)の如くに加わるように一对の電極(9),(10)を上下または左右に配置して設けた。この電極の外側に電気炉(5)が設けられており、基板(1)が100~400°C代表的には300°Cに加熱されている。

反応性気体は水素またはヘリウムのキャリアガス例えばヘリウムを(4)より、Ⅲ価の不純物である~~スズ~~ゲルマニウム(4)より、Ⅴ価の不純物であるフォスヒンを(4)より、Ⅳ価の添加物である珪化物気体のシランを(4)より導入した。

また炭素-珪素結合を有する反応性気体TMS(4)を用いると、初期状態で液体であるためステンレス容器(4)に保存される。この容器は電子恒温層(4)により所定の温度に制御されている。

このTMSは沸点が25°Cであり、ロータリーポンプ(4)をバルブ(4)をへて排気させ、反応炉内を0.01~10torr特に0.02~0.4torrに保持させた。こうすることにより、1気圧より低い

圧力により結果として特に加熱しなくてもTMSを気化させることができる。この気化したTMSを100%の濃度で流量計を介して反応炉に導入することは、従来の如く容器内をバブルして反応性気体を放出するやり方に比較して、その流量制御が精度よく可能であり、技術上重要である。

実用上流量計がつまづた場合、図面において(4)よりヘリウムを導入した。

また反応筒(2)またはホルダー(2)の内壁または表面に付着した反応生成物を除去する場合は(4)より CF_4 または CF_4+O_2 (2~5%)を導入し、電磁エネルギーを加えてフッ素ラジカルを発生させて気相エッチングをして除去した。

さらにこのプラズマ放電においては、反応性気体が混合室(9)をへて混合された後、励起室(2)において分解または反応をおこさしめ、反応生成物を基板上に形成する空間反応を主として用いた。電磁エネルギーは電源(4)より直流または高周波を主として用いた。

た。

以上の実施例より明らかな如く、本発明は反応性気体をミキサ(9)にて混合した後、排気口(6)に層状(ミクロにはプラズマ化された状態ではランダム運動をしていた)に流し、この流れに平行に基板を配置して被形成面上にその膜厚が±5%以内のバラツキで0.1~3μの厚さに被膜を形成せしめたことを特徴としている。

さらにこの際プラズマをグロー放電法を利用しておこさせるが、その電極を反応筒の外側に配置せしめ、多量の基板に均一にプラズマがおこるようにしたことを特徴としている。

また被膜の形成に際し、図面の如く7段2列ではなく、20段20列の如く反応筒を長くする場合、0.4torrではなくさらに0.2、0.1、0.05torrとより低圧にすることが、その膜質の均一性特に最前列と最後列との均一性を得しめる上に重要である。

またこの反応筒内に酸素等の制御できない酸

このようにして被形成面上に炭化珪素被膜を形成した。例えば基板温度300°C、高周波エネルギーの出力25W、シランまたはTMS 50cc/分キャリアガスとしてのHe 250cc/分とした。(反応性気体/He) 5において160Å/分の被膜成長速度を得ることができた。

さらにこの被膜形成には、PIN接合、PN接合、PI、NI接合、PINPIN接合等をその必要な厚さに必要な反応生成物を基板上に漸次積層して形成させた。

このようにして被形成面上に被膜を形成させてしまつた後、反応生成物を反応筒より十分にバージした後、開閉とびら(34)を開け、ミキサ用混合板(35)、ジグ(3)上の基板を別室(2)に自動引出し管により反応筒および別室をともに真空(0.01torr以下)にして移動させた。さらに開閉とびら(34)を閉じた後、別室(32)よりバルブを開けて空気を充填し大気圧とした後、外部にジグおよび被膜の形成された基板をとり出し

化物気体の混入を防ぐため、別室を設け、この別室を介して大気中での作業と結合せしめたことは、得られた被膜の特性の再現性を得るのにきわめて重要であつた。

第2図は第1図の図面における排気口(6)方向よりみた基板(1)の配置と電極(9)(10)との関係を示す。図面において(A)は基板を水平、電極(9)(10)による電磁界を水平方向に配置したもので、この場合一度に導入できる基板の枚数をふやすことができる。

第2図(B)は電極(9)(10)による電磁界、基板(1)ともに垂直にしたもので、基板の配置数が(A)の2倍になる。

第3図は本発明の半導体装置作製方法の操作手順チャートを示したものである。

図面において'0'である(40)は反応炉の真空引による0.01torr以下の保持を示す。さらに'1'の(40)は本発明による反応炉または反応筒およびホルダーに珪素または炭化珪素のコーティ

ングを示す。

このコーティングはその詳細を示すと第3図(b)(c)である。第3図(b)は真空引(40)により0.01 torr以下にし、10~30分保持した後、水素を電磁エネルギーにより0~30分30~50Wの出力によりプラズマクリーニングを行ない、吸着、水分、酸素を除去した。さらにその水素を除去した後、(c)によりヘリウムを同時に30~50Wの出力により10~30分プラズマ化し、さらに表面の水素を除去した。この水素プラズマ発生(50)に対しては、水素中に1~5%の濃度でH₂O₂またはO₂を添加して行なうと、塩素ラジカルが同時に発生し、このラジカルが石英等ホルダーの内側に存在しているナトリウムの如きアルカリ金属をすい出す効果を有する。このためバックグラウンドレベルでのナトリウム、水分、酸素の濃度を形成された被膜中にて10⁻⁹cm以下にすることができ、きわめて重要な前処理工程であつた。

この塩素を添加した場合、さらにこの壁面に

層の作製(43)、N型半導体層の作製(44)を行い、第1の半導体装置を作製(48)した。この半導体装置は前記したPI、NI、PIN、PN等の接合を少くとも1つ有するデバイス設計仕様に¹⁴よつて作られなければならないことはいうまでもない。

さらにこの後、この系に対し、反応炉のみまたはこの反応炉とホルダーを挿入設置された反応系に対し(40)に示すI型半導体層または(42)に示す半導体層と同じ半導体層のコーティングによる前の半導体装置作製の際用られた工程(44)の¹⁴再行が次のランに対して影響を与えないようにした。その詳細は第3図(b),(c),(d),(e)に示す。

すなわち第3図(b)は前記した¹⁴と同しく真空引(40)水素プラズマ放電(50)、ヘリウムプラズマ処理(51)、¹⁴のランの最初の工程の半導体層を形成する工程(52)を有する。しかしこの(50)(51)がすでに(A)での(40)で行われているため、一般には(c)の(52)での0.1~2μの厚さの半導体層の作製で十分であつた。

またこの前の半導体装置の作製(40)すなわち

残留吸着した塩素を除去するため(52)の不活性気体によるスパッタリングによる除去も有効であつた。

この後これらの系を真空引した後、珪化物気体であるシランまたは炭化珪素化合物であるTMSを導入し、プラズマエネルギーにより分解して、0.1~2μ代表的には0.2~0.5μの厚さに形成させた。これらの被膜形成をさせる際、高い電磁エネルギーが加わる領域すなわち不純物が再放出されやすい領域に特に厚くつきやすく、二重に好ましい結果をもたらせた。

かかる本発明の複雑な前処理工程を行わない場合であつても、第3図(c)に示す如く真空引の後、珪素または炭化珪素を(52)において同様に0.1~2μ形成し、反応炉壁からの酸素、アルカリ金属の再放出を防ぐことが有効であつた。

また第3図(A)においては半導体装置の作製のため、基板のコーティング、系の真空引(41)さらにPまたはN型半導体の作製(42)、I型半導体

前のランでの履歴をなくするため、(d),(e)に示すプラズマエッチング工程を行つてもよい。すなわち第3図(b)は真空引(40)OPまたはOP+O(約5%)を第1図での(40)より導入し、20分~1時間プラズマエッチング(53)を行なつた。さらに真空引をしてその後O、Pの残留物を除去するため水素プラズマ処理(50)を10~30分、さらにこのI層に0.05~0.5μのI型または次の工程の最初のランの半導体層(42)と同様の導電型、成分の半導体層の作製を行なつた。この方法が最も徹底して再現性を保証することができた。

簡単な方法としては(e)に示す(40)の真空引、プラズマエッチング(53)残留吸着ガスの除去(50)の工程を行なつた。

かくすることにより第1の半導体装置の作製(48)の最後工程(44)と次の工程(48)の最初の工程(42)との間でPまたはN型の不純物が互いに(42)にて混入する可能性を除去することができた。

また(44)での炭素、ゲルマニウム等の添加

物を(42)にて混入することも防ぐことができた。

かかる本発明の方法によりその効果を評価した結果を第4図に示す。

第4図は本発明方法を用いて作られた光電変換装置の結果である。この場合基板として金属例えばステンレス基板または透光性基板であるガラス上にITOを500~2000Å、さらにこの上に酸化スズまたは酸化アンチモンを100~500Åの厚さに形成させた多重膜の電極を有する基板を用いた。この上にP型炭化珪素($\text{Si}x\text{O}_{1-x}$, $0 \leq x < 1$) (例えば $x=0.3 \sim 0.5$)を100~300Åの厚さにまたこの上面に真性または実質的に真性のABまたはBABの珪素を0.4~0.7μの厚さに、さらにこの上面にN型炭化珪素($\text{Si}x\text{O}_{1-x}$, $0 \leq x < 1$ 例えば $x=0.3 \sim 0.5$)を100~300Åの厚さに形成させたPIN構造を有せしめた。このP、I、N型半導体の配列は第3図(A)のチャートにおける(42), (43), (44), (45)・・・に対応させた。

さらにこの後この工程にITOを600~800Åの厚さにまたはアルミニウム金属膜を真空蒸

着法で形成して光電変換装置を作った。その変換効率を第4図(A)に示す。

1cm²のセルの大きさにAM1 (100mW/cm²)の条件にて前処理(40)をいれない場合(71)の3%が、また前処理を行なうと(70)の値が得られた。さらに中間の(46)の工程を加えることによるラン(製造ロス)の減少(80)になり全く加えないと(81)が得られた。

(60)はその効率が11~9%を得ることができ、このに対し、本発明方法を用いない場合1~4%しかなかった。

さらにこのセル面積を100cm²にすると、本発明方法を用いると7~9%の効率を得ることができるのに対し、本発明方法を用いないと0~3%であつた。特にダイオード特性がないものが30%以上を有し、製造不可能であつた。

第4図(B)は特に表面程にてP型の半導体を作る工程でI型の珪素半導体を作つた場合の電気伝導度の値を示す。

前工程でP型半導体を作り、本発明方法の中間処理法の前処理を行なわない時、AM1の光照射による電気伝導度が(65)である。暗伝導度(64)と逆の場合で、またその値も 10^{-10} で大きなバラツキがあつた。他方本発明の前処理を行なつた場合、光伝導度(70)、暗伝導度(70)が得られた。また中間処理を行なつた時は光伝導度(62)、暗伝導度(63)が得られた。これらは本発明におけるドーピング効果防止がいかに重要であるかを明確に示したものである。

以上の説明より明らかな如く、本発明は同一反応筒を用いて光電変換装置または発光素子のみならず、電界効果半導体装置、フォトセンサアレー等の各種の半導体装置を作製する上にきわめて重要な製造装置および製造方法を提供したものであり、これにより従来たて型のプラズマCVD装置にて10cm²を4まい作ると同じ時間で、100~500まいの基板上に非単結晶半導体膜を作ることができ、きわめて多量生産向きで

ある。さらに本発明の如き電極構造または基板の配位をすることにより、PIN構造を有する光電変換装置において10%以上の交換効率をくりかえし安定して得ることができ、その膜質においてもきわめてすぐれたものであつた。

本発明においては、炭化珪素($\text{Si}x\text{O}_{1-x}$, $0 \leq x < 1$)を中心として記した。しかし反応性気体をグルマンを用いると、 $\text{Si}x\text{Ge}_{1-x}$ ($0 \leq x < 1$)を得ることができ、第1のPIN構造を珪素と炭化珪素によりさらに第2のPIN構造を珪素と珪化グルマニウムによりPINPIN構造いわゆるタンデム構造を得ることも可能である。

本発明は第1図に示す横型のプラズマCVD装置を中心として示した。しかしその電極の作り方を誘電型としたり、またアーク放電を利用するプラズマCVD装置であつても本発明は有効である。またたて型、ハ1模型のベルジャー型のプラズマCVD装置であつても同様に本発明方法を適用することができる。

4. 図面の簡単な説明

第1図は本発明のプラズマ気相装置である。

第2図は第1図の一部を示す。

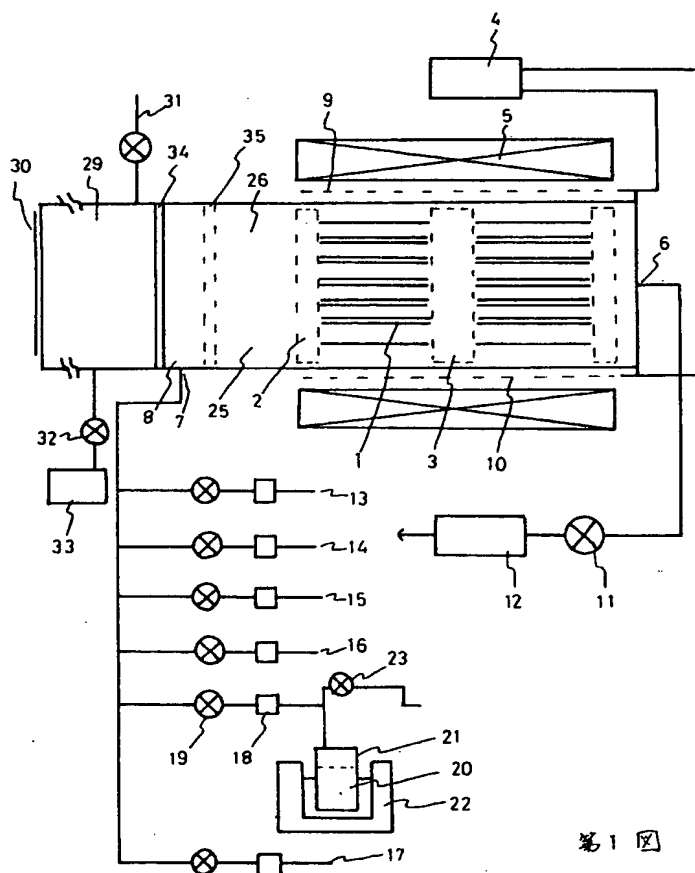
第3図は第1図の装置を用い、本発明方法のプラズマ気相法を用いるチャートである。

第4図(A)は第3図のチャートに従つて得られた光電変換装置の効率および(B)は本発明方法のドーピング防止効果を示す他の資料である。

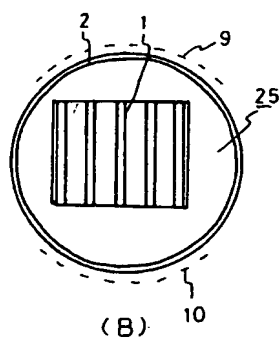
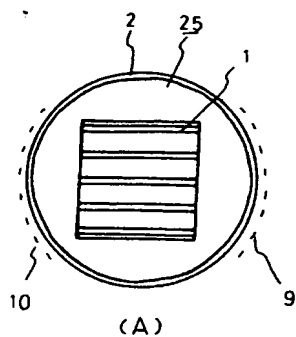
特許出願人

株式会社半導体エネルギー研究所

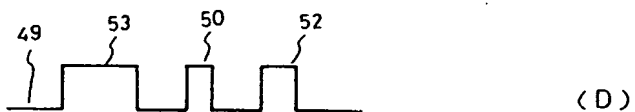
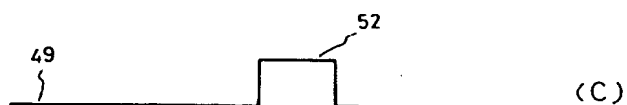
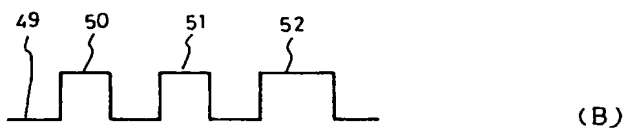
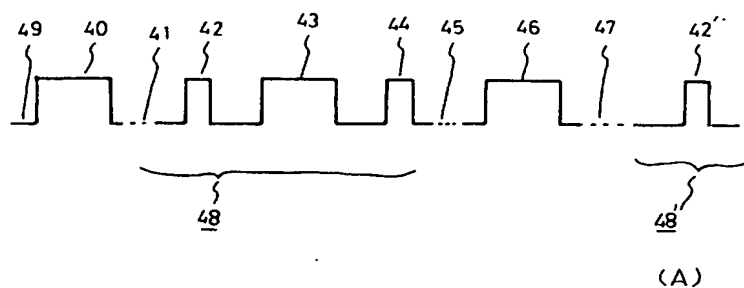
代表者 山崎 舜平



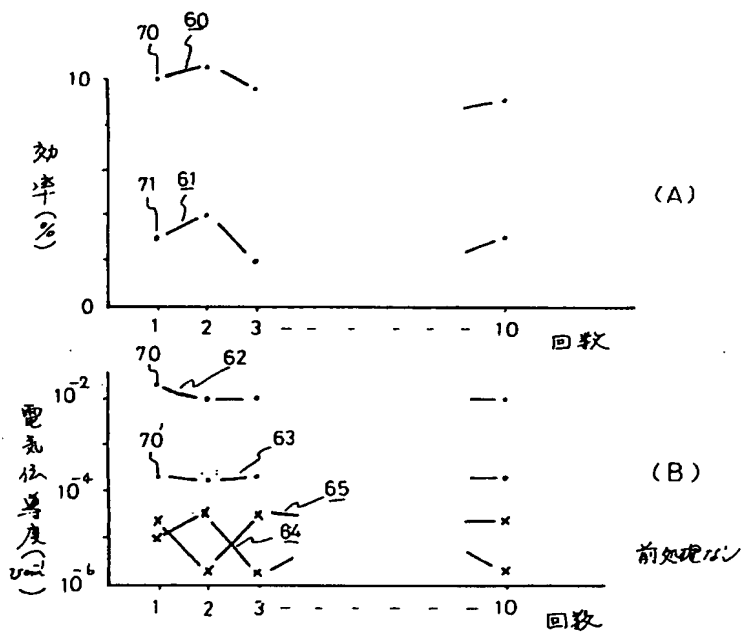
第1図



第 2 図



第 3 図



第 4 図